

PAT-NO: JP363253641A  
DOCUMENT-IDENTIFIER: JP 63253641 A  
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE  
PUBN-DATE: October 20, 1988

INVENTOR-INFORMATION:

NAME

SEKIGUCHI, TAKESHI

NISHIGUCHI, KATSUNORI

ASSIGNEE-INFORMATION:

NAME

SUMITOMO ELECTRIC IND LTD

COUNTRY

N/A

APPL-NO: JP62088201

APPL-DATE: April 10, 1987

INT-CL (IPC): H01L021/78, B28D005/00

US-CL-CURRENT: 438/465, 438/FOR.387

ABSTRACT:

PURPOSE: To reduce the rejection rate by dividing a wafer per chip, said wafer being constructed by integrally bonding a reinforcement board having a large strength to the underside of a compound semiconductor wafer, thereby preventing the occurrence of cracks due to the shock or external force acting in each process.

CONSTITUTION: On the whole rear surface of a sliced compound semiconductor wafer 1, a layer of a bonding metal 3 is formed. And with this bonding metal 3 as a bonding agent, the wafer 1 is bonded and integrated to a reinforcement board 4. And an expanding tape 5 is applied to the bottom thereof, and a dicing is performed. Dicing grooves 6 are formed so that they reach not only the compound semiconductor wafer 1 but also the bonding metal 3 and the reinforcement board 4. Therefore, semiconductor chips 2 are individually separated integrally with the reinforcement board 2. Then, the expanding tape 5 is expanded to disperse the individual chips 2 in a plane, which are knocked up from the lower part by a knockout pin for die bonding, whereby they are stuck to a collet in the upper part. At this time, the shock due to the knock-up by the pin acts on the reinforcement board 4, so that the occurrence of cracks in the semiconductor chips 2 is prevented.

COPYRIGHT: (C)1988, JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 昭63-253641

⑤ Int.Cl.<sup>4</sup>

H 01 L 21/78  
B 28 D 5/00

識別記号

庁内整理番号

A-7376-5F  
Z-7366-3C

⑬ 公開 昭和63年(1988)10月20日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体装置の製造方法

⑰ 特 願 昭62-88201

⑱ 出 願 昭62(1987)4月10日

⑲ 発 明 者 関 口 剛 神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社  
横浜製作所内

⑲ 発 明 者 西 口 勝 規 神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社  
横浜製作所内

⑳ 出 願 人 住友電気工業株式会社 大阪府大阪市東区北浜5丁目15番地

㉑ 代 理 人 弁理士 長谷川 芳樹 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1. 上面に集積回路を形成した化合物半導体ウエーハの下面に、この化合物半導体ウエーハよりも高強度の補強板をボンディングし、このボンディングによって一体化されたウエーハをチップごとに分割することを特徴とする半導体装置の製造方法。

2. 前記補強板がシリコンウエーハである特許請求の範囲第1項記載の半導体装置の製造方法。

3. 前記ボンディングに使用されるメタルが金錫合金である特許請求の範囲第1項記載の半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は化合物半導体によって構成される半導体装置の製造方法に関する。

(従来の技術)

近年、高周波特性や高速性などの点から、ガリウムヒ素(GaAs)、ガリウムリン(GaP)などの化合物半導体が注目されている。この化合物半導体を素材とする半導体装置は、従来のシリコンとほぼ同様な工程を経て製造される。すなわち、化合物半導体結晶から半導体ウエーハが切り出され、この半導体ウエーハの上面に公知の技術で集積回路が形成された後、ダイシングによって各半導体チップに分割される。そして、パッケージへの半導体チップのダイボンディング工程、ワイヤボンディング工程、封止工程等を経た後、半導体装置が製造される。

(発明が解決しようとする問題点)

しかしながら、化合物半導体は一般に劈開性が強いいため、製造工程で大きな外力が作用するとク

ラックやチッピングを生じ、その電気特性を劣化させ、不良品発生率が高くなっている。特に、半導体ウェーハから分割された各半導体チップをパッケージにダイボンディングする際には、エクスバンドテープからの剥離を行うために突き上げピンが下方から当接し、この応力で半導体チップに割れを生じる率が高いものとなっている。

また、化合物半導体は熱伝導率がシリコンよりも小さく（例えばシリコンの熱伝導率が $1.5 \text{ W/cm} \cdot \text{deg}$ であるのに対し、ガリウムヒ素は $0.46 \text{ W/cm} \cdot \text{deg}$ ）、高速動作させると大きな発熱があるため、急速冷却を目的としてチップを薄くする傾向にある。従って、上記のクラックやチッピング、割れなどの発生危険率が、シリコンの場合に比べてさらに大きくなっている。

そこで本発明は、化合物半導体チップの割れなどを抑制し、不良率を低減させることのできる半導体装置の製造方法を提供することを目的とする。（問題点を解決するための手段）

本発明に係る半導体装置の製造方法は、化合物

半導体ウェーハの下面に強度の大きな補強板をボンディングし、このボンディングにより一体化したウェーハをチップごとに分割したことを特徴とする。

（作用）

本発明に係る半導体装置は、以上のように構成されるので、補強板は化合物半導体ウェーハの強度を高め、従って分割後の半導体チップの強度をも高めるように作用する。

（実施例）

以下、添付図面を参照して本発明の実施例を説明する。

第1図は実施例におけるウェーハのボンディング工程からダイシング工程までを示すものである。化合物半導体ウェーハ1はガリウムヒ素（GaAs）、ガリウムリン（GaP）、インジウムリン（InP）などの化合物半導体を結晶成長させた後、これを一定の厚さに切り出すことによって形成されている。この化合物半導体ウェーハ1の上面には、後のダイシングにより個々半導

体チップに分割されるべき回路パターン（図示しない。）が形成されている。かかる化合物半導体ウェーハ1は当初は比較的厚く形成されているが、回路パターンの形成の後または形成の前に、裏面がグラインダなどによって切削されて薄くなっている。例えば、ガリウムヒ素（GaAs）からなる半導体ウェーハの場合には、約 $620 \mu\text{m}$ から約 $200 \mu\text{m}$ 程度にまで削られる。

このように薄く削成された化合物半導体ウェーハ1の裏面全体には、第1図（a）の如くボンディングメタル3の層が形成される。ボンディングメタル3としては、 $300^\circ\text{C}$ 前後で熱溶解する合金が選択され、例えば融点が約 $280^\circ\text{C}$ の金と錫の合金や、融点が約 $356^\circ\text{C}$ の金とゲルマニウムの合金などが使用される。ここで一般に、 $300^\circ\text{C}$ 以上の温度では化合物半導体チップの特性が劣化することから、ボンディングメタルとしては低融点の金錫合金が好ましい。

化合物半導体ウェーハ1はこのボンディングメタル3を接着剤として、第1図（b）の如く補強

板4に接着されて一体化される。このとき、補強板4が例えばシリコンウェーハである場合には、ボンディングメタル3をAuSnとしたときにシリコンウェーハに

Au膜を形成しておけば、ボンディングを良好に行なうことができる。

補強板4は半導体ウェーハ1に使用された化合物半導体よりも強度の大きな素材が使用される。例えば、化合物半導体がガリウムヒ素（GaAs）やガリウムリン（GaP）などの場合にはシリコン（Si）が良好であり、このものはダイシング装置のブレードによって容易に切断される。なお、補強板4は化合物半導体ウェーハ1よりも径の大きなものが使用され（第1図（a）図示）、例えば化合物半導体ウェーハ1が直径3インチであれば、補強板4としてのシリコンウェーハは直径4インチ程度が良好である。また、補強板4の厚さは半導体ウェーハ2の保護が可能ないように設定され、例えば $300 \sim 500 \mu\text{m}$ の範囲で適宜に変更することができる。

このようにして、化合物半導体ウェーハ1はウェーハ状態のままで補強板4と一体化されることにより、クラックが生じにくくなる。特に、これらの裏側からの衝撃や外力に対しては、補強板4が衝撃等を受けることによって半導体ウェーハ1が保護されるので、化合物半導体ウェーハ1が割れにくくなる利点がある。

このように半導体ウェーハ1と補強板4とが一体化されたウェーハの底面には、第1図(b)の如くエキスパンドテープ5が貼着され、同図(c)の如くダイシングが行われる。ダイシングはまず、ダイシング装置のブレード(図示せず。)によって化合物半導体ウェーハ1に対し半導体チップごとのダイシング溝6を形成することで行われる。かかるダイシング溝6は化合物半導体ウェーハ2のみならず、ボンディングメタル3および補強板4にも達するように形成される。従って、半導体チップ2は補強板4と一体となった状態で個々に分割される。

このダイシングの後には、エキスパンドテープ

5を拡げて個々のチップ2を平面的に分散させ、次にダイボンディングのためのピックアップが行われる。ピックアップは第1図(d)の状態で突き上げピン(図示せず。)により個々の半導体チップ2を下方から突き上げ、上方に位置したコレット(図示せず。)に吸着させることで行われる。従って、下方から突き上げピンの突き上げによる衝撃は半導体チップ2に作用するが、この衝撃は例えばシリコンからなる補強板4に作用するので、化合物半導体部分には直接に作用することがない。従って、半導体チップ2のクラック発生が防止され、不良率が低減する。

コレットに吸着された半導体チップはパッケージにダイボンディングされ、その後の処理が行われる。この処理においても半導体チップ2は補強板4と一体化されたままであり、補強板4による有効な保護が行われる。

本発明は上記実施例に限定されるものではなく、種々の変形が可能である。

例えば、ウェーハからチップへの分割は、ダイ

ヤモンドブレード等によるダイシングに限らず、ダイヤモンドカッターとゴムローラ等によるスクライビング/ブレーキングによって行なってもよい。また、本発明は大きな径の化合物半導体ウェーハや大型の化合物半導体チップを用いるものに特に適しているが、ウェーハの厚さや劈開性の程度によってその事情が異なってくる。

(発明の効果)

以上、詳細に説明した通り、本発明に係る半導体装置の製造方法によれば、化合物半導体ウェーハおよび化合物半導体チップがより強度の大きな補強板と一体化されているので、各工程で作用する衝撃や外力によってもクラックが生じることがなく、不良率を低減させることができる効果がある。

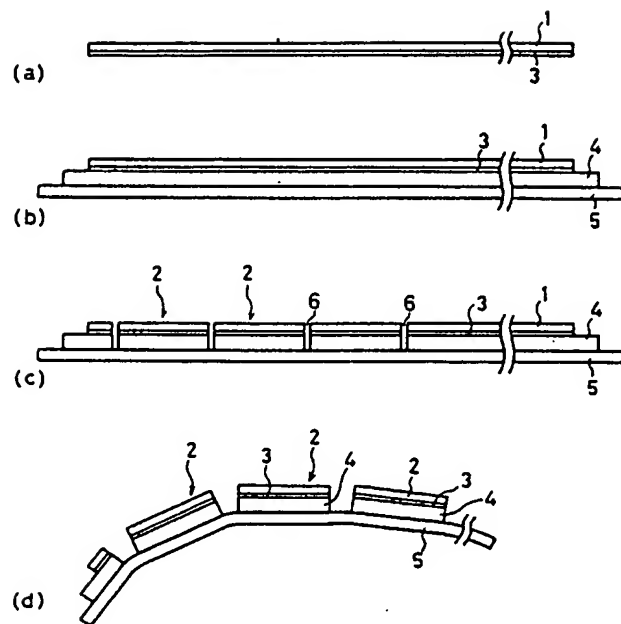
#### 4. 図面の簡単な説明

第1図は本発明の一実施例に係る工程を示すためのものである。

1…化合物半導体ウェーハ、2…半導体チップ、

3…ボンディングメタル、4…補強板(シリコンウェーハ)。

特許出願人 住友電気工業株式会社  
代理人弁理士 長谷川 芳 樹



実施例の工程  
第 1 図